

Jpn. Pat. Appln. KOKAI Publication NO. 63-252459

1. Filing Number: Japanese Patent Application
No. 62-87360

2. Filing Date: April 9, 1987

3. Applicant: SEIKO EPSON CORP. (JAPAN)

4. KOKAI/KOKOKU Date: October 19, 1988

5. Priority: Non

6. Request for Examination: Not Filed

7. Int. Cl4 & Japanese Classification: H 01 L 27/08

29/78

SPECIFICATION

1. TITLE OF THE INVENTION

SEMICONDUCTOR DEVICE

2. WHAT IS CLAIMED IS:

(1) A semiconductor device comprising a MOS transistor having gate film thickness sizes of at least two kinds.

(2) A semiconductor device according to claim 1, wherein voltages applied to the gate films of the different film thickness sizes are different from each other.

3. DETAILED DESCRIPTION OF THE INVENTION

[INDUSTRIAL TECHNICAL FIELD]

The present invention relates to a semiconductor device and in particular to a structure of a so-called high voltage proof semiconductor device which comprises a MOS transistor, in which a high-voltage proof element is built,

and where the number of power supply voltages is at least two kinds.

[SUMMARY OF THE INVENTION]

The present invention is a semiconductor device comprising a MOS transistor, where high voltage proof, fineness and high speed are achieved by changing gate film thickness according to voltage to be applied.

[PRIOR ART]

In a conventional high voltage proof semiconductor device, a logic circuit portion which is operated normally at 5V and a high voltage proof portion which is operated normally at 5 V or more have the same film thickness.

[PROBLEM TO BE SOLVED BY THE INVENTION]

In the above-mentioned conventional art, however, since the gate film thickness size of the logic circuit portion and the gate film thickness size of the high voltage proof portion are equal to each other, when a voltage applied to the high voltage proof portion is increased, the gate film thickness must be made thicker. As a result, it becomes impossible to achieve fineness and high speed in the logic circuit portion. On the contrary, there is a problem that, when the gate thickness is made thinner in order to achieve fineness and high speed in the logic circuit portion, the gate voltage can not be increased so that high voltage proof can not be achieved. In view of the above, the present invention is for solving the such a problem and an object thereof is to provide a

high voltage proof semiconductor device where fineness and high speed are achieved in a logic circuit portion and higher voltage can be applied to a high voltage proof portion.

[MEANS FOR SOLVING PROBLEM]

A semiconductor device of the present invention is characterized in that the gate film thickness of a logic circuit portion and that of a high voltage proof portion are different from each other.

[EMBODIMENT]

FIG. 1 is a sectional view showing an embodiment of a semiconductor device of the present invention. Reference numeral 1 denotes a Si substrate, for example, and 2 denotes a MOS transistor of a logic circuit portion. Reference numeral 3 denotes a diffusion layer constituting a MOS transistor of the logic circuit portion and 4 denotes a gate film of the logic circuit portion. Reference numeral 5 denotes a MOS transistor of a high voltage proof portion. Reference numeral 6 denotes a diffusion layer constituting a high voltage proof MOS transistor, which may be formed simultaneously with the formation of the diffusion layer 3 of the logic circuit portion. Reference numeral 7 denotes a gate film of the high voltage proof MOS transistor. Reference numeral 8 denotes a gate electrode and 9 denotes an insulation film in a separation region which separates a MOS transistor. The thickness of the gate film 4 of the logic circuit portion is set to, for

example, 400Å, so that the channel length of the MOS transistor can be set to about 2 μm or so. Sufficient fine structure can be achieved and high speed can be achieved. Meanwhile, the thickness of the gate film 7 of the high voltage proof portion is set to, for example, 2000Å, so that a voltage up to about 50 V can be applied as a gate voltage. Thus, a higher voltage proof can be achieved. Then, the gate film thickness of the logic circuit portion and the gate film thickness of the high voltage proof portion can be set freely according to requirement of a semiconductor device, thereby allowing design of a semiconductor device with a high degree of freedom.

FIG. 2 is a sectional view showing another embodiment of a semiconductor device of the present invention, which is an embodiment where a high voltage proof portion is applied to a MOS transistor of an offset structure. In FIG. 2, reference numeral 10 denotes an offset portion, which can be made high-voltage proof by lowering density below the density of the diffusion layer 6.

Thus, in the present invention, any structure can be employed for the MOS transistor of the high voltage proof portion.

[EFFECT OF THE INVENTION]

As mentioned above, according to the present invention, an effect can be obtained that the gate film thickness of the logic circuit portion and that of the high

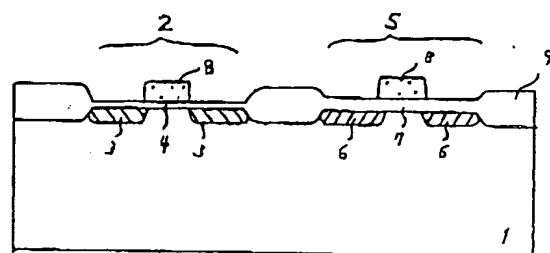
voltage proof portion are made different from each other so that finer structure can be achieved in the logic circuit portion, higher speed can be achieved, and higher voltage proof can be attained.

4. BRIEF DESCRIPTION OF THE DRAWINGS

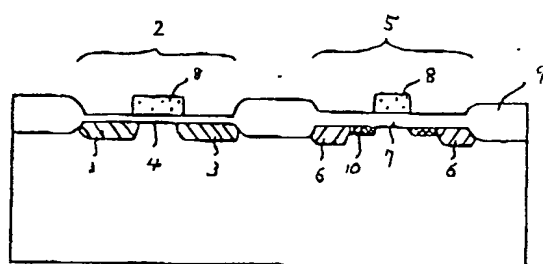
FIG. 1 is a sectional view showing a main portion of an embodiment of a semiconductor device of the present invention; and

FIG. 2 is a sectional view showing a main portion of another embodiment of a semiconductor device of the present invention.

1. Si substrate
2. MOS transistor of logic circuit portion
3. diffusion layer of logic circuit portion
4. gate film of logic circuit portion
5. MOS transistor of high voltage proof portion
6. diffusion layer of high voltage proof portion
7. gate film of high voltage proof portion
8. gate electrode
9. insulation layer of separation region
10. offset portion



第 1 図 — FIG. 1



第 2 図 — FIG. 2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-252459

⑪ Int. Cl.⁴H 01 L 27/08
29/78

識別記号

1 0 2
3 0 1

庁内整理番号

C-7735-5F
G-8422-5F

⑬ 公開 昭和63年(1988)10月19日

審査請求 未請求 発明の数 1 (全2頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-87360

⑯ 出 願 昭62(1987)4月9日

⑰ 発 明 者 竹 中 計 廣 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 少なくとも2種類以上のゲート電圧を印加するMOS型トランジスタで構成されていることを特徴とする半導体装置。

(2) 前記、ゲートの違うゲート線にかかる電圧が異なることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(従来の技術分野)

本発明は、半導体装置、特にMOS型トランジスタで構成され、高耐圧素子を内蔵させ、電圧電圧が少なくとも2種類以上ある、いわゆる高耐圧半導体装置の構造に関する。

(発明の要旨)

本発明は、MOS型トランジスタで構成される半導体装置において、ゲート電圧を、印加する電圧に応じて変えることにより、高耐圧化と、微細化、及び高速化を両立させたものである。

(従来の技術)

従来の、高耐圧半導体装置は、通常5Vで動作させる論理回路部と、通常5V以上の高耐圧部分とは別じゲート電圧で構成していた。

(発明が解決しようとする問題点)

しかし、前述の従来の技術では、論理回路部と高耐圧部でゲート電圧が同じ電圧であるため、高耐圧部にかかる電圧を高くしようとするとゲート電圧が低くなり、論理回路部の微細化や高速化が出来なくなる。逆に論理回路部を微細化し、高速化するためにゲート電圧を低くすると、ゲート電圧を上げられず、高耐圧化が出来なくなるという問題点を有する。そこで本発明はこのような問題点を解決するもので、その目的とする所は、論理回路部を微細化、及び高速化し、なおかつ高耐圧部についてはより高い電圧を印加出来るような高耐

特開昭63-252459 (2)

正半周体装置を構成する所にある。

(問題点を解決するための手段)

本発明の半周体装置は、増幅回路部と高耐圧部とのゲート厚を変えたことを特徴とする。

(実施例)

第1図は本発明の半周体装置の実施例に於ける断面図である。1は例えばSi基板であり、2は増幅回路部のMOS型トランジスタである。3は増幅回路部のMOS型トランジスタを構成する拡散層であり、4は増幅回路部のゲート膜である。5は高耐圧部のMOS型トランジスタである。6は高耐圧MOS型トランジスタを構成する拡散層であり、7は高耐圧部のゲート膜と増幅回路部のゲート膜とに形成しても良い。8は高耐圧MOS型トランジスタのゲート膜である。9はゲート電極であり、10はMOS型トランジスタを分離する分離領域の絶縁膜である。増幅回路部のゲート膜4については、例えば100Åとすることにより、MOS型トランジスタのチャンネル長としては、約2μm程度とすることができ、十分に微細化が可能であり、ま

た、速度的にも高速化がされる。これに対し、高耐圧部のゲート膜7については例えば2000Åとすることにより、ゲート電圧としては、約50Vまで印加出来、高耐圧化がされる。そして増幅回路部のゲート膜と高耐圧部のゲート膜については、半周体装置の要求により自由に変定出来るためより、自由な半周体装置の設計が可能となる。

第2図は本発明の半周体装置他の実施例に於ける断面図であり、高耐圧部がいわゆるオフセット構造のMOS型トランジスタに適用した例である。第2図中、10はオフセット部分であり、通常、6の拡散層より、位置を下げることににより、高耐圧化を可能にする。

このように本発明においては、高耐圧部分のMOS型トランジスタの構造についてはどの様な構造をとっても良いことは言うまでも無い。

(発明の効果)

以上述べた様に本発明によれば、増幅回路部と高耐圧部のゲート厚を変えたことにより、増幅

回路部の微細化が可能であり、また、速度的にも高速化がされ、高耐圧部については高耐圧化が可能になると言う効果を有する。

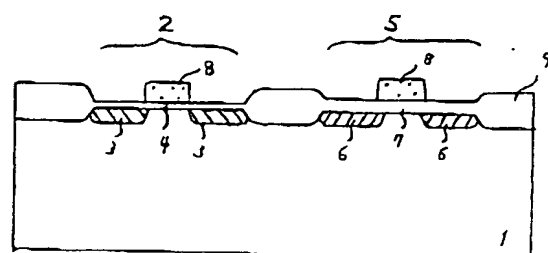
4. 図面の簡単な説明

第1図は、本発明の半周体装置の一実施例を示す主要断面図。

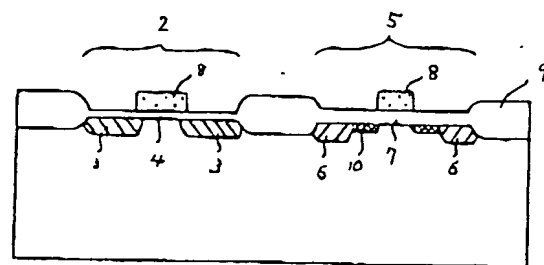
第2図は本発明の半周体装置の他の実施例を示す主要断面図。

- 1…Si基板
- 2…増幅回路部のMOS型トランジスタ
- 3…増幅回路部の拡散層
- 4…増幅回路部のゲート膜
- 5…高耐圧部のMOS型トランジスタ
- 6…高耐圧部の拡散層
- 7…高耐圧部のゲート膜
- 8…ゲート電極
- 9…分離領域の絶縁膜
- 10…オフセット部分

以上



第1図



第2図